

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-245562
(43)Date of publication of application : 02.09.1992

(51)Int.Cl.

G06F 15/332

(21)Application number : 03-031928

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.01.1991

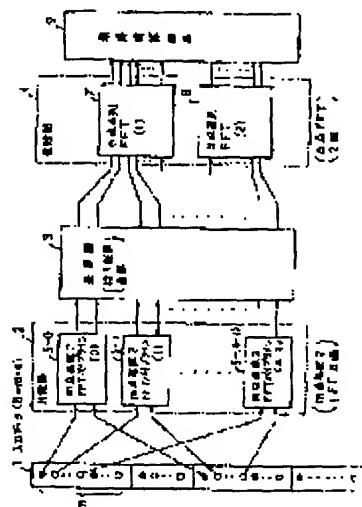
(72)Inventor : NAKAZURU TOSHIRO
OKUYA SHIGEAKI
KUBO SHINICHI

(54) FAST FOURIER TRANSFORMING DEVICE

(57)Abstract:

PURPOSE: To flexibly set a degree of parallelism in accordance with the relation between the FFT (fast Fourier transformation) point and the transformation processing speed and with no waste of hardware quantity caused with regard of a fast Fourier transforming device.

CONSTITUTION: A preceding stage part 2 performs the Fourier transformation of a point N through (a) pieces of m-point fundamental number 2FFT pipeline 5-0 to 5-(a-1) with $N=m \times a$ (m, a : integers) satisfied and therefore outputs the conversion data on the point N every $2a$ pieces. A multiplication part 3 inputs $2a$ pieces of data outputted from the part 2 in parallel with each other and multiplies $2a$ pieces of data by a twist coefficient. Then a post stage part 4 contains the a-point FFT circuits 7 and 8 set in parallel with each other and inputs $2a$ pieces of data outputted from the part 3 in parallel with each other to perform the Fourier transformation.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-245562

(43) 公開日 平成4年(1992)9月2日

(51) Int.Cl.⁵
G 0 6 F 15/332

識別記号 庁内整理番号
A 6798-5L

F I

技術表示箇所

審査請求 未請求 請求項の数3(全13頁)

(21) 出願番号 特願平3-31928

(22) 出願日 平成3年(1991)1月31日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 中水流 敏朗

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 奥谷 茂明

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 久保 慎一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

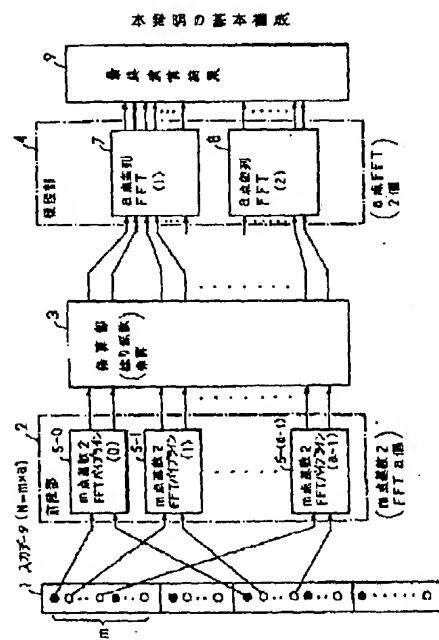
(74) 代理人 弁理士 長谷川 文廣 (外2名)

(54) 【発明の名称】 高速フーリエ変換装置

(57) 【要約】

【目的】 本発明は、高速フーリエ変換装置に関し、FFT点数と変換処理速度の関係において応じてハードウェア量に無駄がないように柔軟に並列度を設定できるようすることを目的とする。

【構成】 $N = m \times a$ (m, a は正整数) として a 個の m 点基数 2 FFT パイプライン 5-0 ~ 5- $(a-1)$ により N 点のフーリエ変換を行うことにより N 点の変換データを $2a$ 個づつ出力する前段部 2 と、前段部 2 からの出力される $2a$ 個のデータを並列に入力し、 $2a$ 個のデータに捻り係数を掛ける処理を行う乗算部 3 と、2 個並列配置された a 点 FFT 回路 7, 8 を備え、それぞれ乗算部 3 から並列に出力される $2a$ 個のデータを並列に入力し、フーリエ変換する後段部 4 を備えた構成を持つ。



【特許請求の範囲】

【請求項1】 基数2高速フーリエ変換バイオライン装置(5-0~5-(a-1))を複数個備え、入力データ(1)を並列に入力する前段部(2)と、前段部(2)から並列に出力される各データに捻り係数を乗算する乗算部(3)と、前段部(2)における基数2高速フーリエ変換バイオライン装置(5-0~5-(a-1))の個数に等しいフーリエ変換点数の並列高速フーリエ変換装置(7, 8)を2つ備え、乗算部から並列に出力されるデータを並列に入力する後段部(4)とを備えたことを特徴とする高速フーリエ変換装置。

【請求項2】 N点の入力データに対するk番目の点の関数値をx(k)として離散フーリエ変換

【数1】

$$x(n) = \sum_{k=0}^{N-1} x(k) \times W^{nk}$$

(但し、n=0~N-1, k=0~N-1の整数を)に対する高速フーリエ変換において、N=m×a (m, a *

$$\sum_{kj=0}^{a-1} \sum_{ki=0}^{m-1} x(ki, kj) \times W^{(mni+nj) \times (akj+ki)}$$

と表し、上記式において

$$x1(nj, kj) = \sum_{ki=0}^{m-1} x(ki, kj) \times W^{mni \times kj}$$

【数5】

$$x2(nj, kj) = x1(nj, kj) \times W^{nj \times kj}$$

【数4】

$$x3(nj, ni) = \sum_{kj=0}^{a-1} x2(nj, kj) \times W^{nj \times kj}$$

※【数6】

※

(但し、W=e×p(-2πj/N), W_m=e×p(-2πj/m), W_a=e×p(-2πj/a))としたとき、前段部(2)において、

【数4】の変換処理を行い、乗算部(3)において、

【数5】の変換処理を行い、後段部(4)において、

【数6】の変換を行うことを特徴とする請求項2に記載の高速フーリエ変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は離散フーリエ変換を高速に行う高速フーリエ変換装置に関する。高速フーリエ変換装置には、フーリエ変換の対象のN個のデータを多点並列に入力し変換する方法と、基数2フーリエ変換バイオライン(基数2FFTバイオライン)により変換を行う方法がある。

【0002】前者はフーリエ変換点数(FFT点数)が大きくなると並列に入力する並列度も高くなり多数のハードウェアが必要になる。またそのようなハードウェアを用意しておいても、入力データによっては速い変換を

*は正整数)として、前段部(2)はa個のm点基数2高速フーリエ変換バイオライン装置(5-0~5-(a-1))を備え、N点の変換データを2a個づつ並列に入力してフーリエ変換処理し、乗算部は、前段部から出力される2a個のデータを並列に入力し2a個のデータに捻り係数を乗算し、後段部(4)はa点並列高速フーリエ変換装置(7, 8)を2個並列に備え、乗算部(3)から並列に出力される2a個のデータを並列に入力し、フーリエ変換を行うことにより最終演算結果(9)を得ることを特徴とする請求項1に記載の高速フーリエ変換装置。

【請求項3】 請求項における高速フーリエ変換において、

n=m×ni+nj, k=akj+ki
(但し、ni=0~(a-1), nj=0~(m-1), ki=0~(m-1), kj=0~(a-1)として変換対象のフーリエ変換式を

【数3】

必要としない場合もあり、並列度の高いフーリエ変換回路(FFT)を用意しておくことはハードウェアの無駄となる場合がある。

【0003】また後者はハードウェア量は前者より少ないが並列度が低いためデータの入力速度が速い場合には十分対応しきれない場合がある。本発明は、FFT点数と、必要とする処理速度に応じて、ハードウェアに無駄を生じないように柔軟に並列度を定めることのできる高速フーリエ変換装置を提供することを目的とする。

【0004】

【従来の技術】図4は従来の多点並列に入力したデータをフーリエ変換する場合の構成を示す。図はFFT点数N=m×n(但しm, nは正整数)をm点づつ並列に入力して変換する場合の構成を示す。N個のデータについてフーリエ変換する場合、先ずN=m×n(m, nは正整数)のm点についてm点フーリエ変換を行う。次に、得られたm個のデータについて捻り係数を乗算する。以上の処理をn回行い、得られたN点のデータを並べ変える。そして、そのN点のデータについて、m=n

$\times k$ (n, k は正整数) として n 個づつのデータを k 個並列の n 点 FFT において変換する。その処理を n 回行うことにより、 N 個のフーリエ変換結果を得る。

【0005】図において、31はデータの並び変え回路であって、時系列データを並列に並び変える回路である。32は m 点のデータを並列に入力して、 m 点を高速フーリエ変換する m 点 FFT 回路である。33は m 点の FFT の出力に捻り係数乗算を行なう捻り係数乗算部、34は m 点フーリエ変換を n 回行つた N 個の結果のデータ並び変え回路、35～36は n 点フーリエ変換回路 (n 点 FFT 回路) である。時系列の直列データ ($N=m \times n$) はデータ並び変え回路31において並列データに並び変えられ、 m 点づつ並列に m 点 FFT 回路32に入力される。

【0006】 m 点 FFT 回路32により得られたデータは捻り係数乗算部33において係数を乗算する。 m 個づつの並列データを m 点 FFT により n 回行うことにより得られた N 個のデータはデータ並び変え回路34においてデータの並び変えを行って、 k 個の n 点 FFT 回路35～36に入力され、フーリエ変換する。その処理を n 回行うことにより N 個の変換結果を得る。

【0007】入力点数が $m=2^4$ で表される場合には基數2のフーリエ変換を s 回くり返すことにより変換結果を得ることができる。図5～図13により16点を処理する場合の基數2 FFT パイプラインを説明する。図5は、基數2 FFT パイプラインにおいて使用するバタフライ回路を示す。図のバタフライ回路38の動作は2つの入力AとBに対して出力として $A + W^s \times B$ と $A - W^s \times B$ を得るものである (但し $W = e^{j\pi/16}$, s は整数)。

【0008】図6は16点基數2のFFTパイプラインにおける処理の流れを示す。図において、40～41はそれぞれ16点の入力データを8点ずつ格納するレジスタである (SR1A, SR1Bについては後述する)。50はバタフライ回路 (BUT1) であって、 $W = e^{j\pi/16}$, $s=0$ であるものである。

【0009】42～43はバタフライ回路50で変換されたデータを格納するレジスタである (SR2A, SR2Bについては後述する)。図の意味は次の通りである。16点の入力データはレジスタ40, 41に入力される。そしてレジスタ40と41の点0と点8のデータがバタフライ回路50に入力され、和がレジスタ42の点0に格納される。また差のデータはレジスタ43の点0に格納される。それぞれの処理を1C0, 1D0で表わす。

【0010】同様に、レジスタ40の点1とレジスタ41の点9についてバタフライ回路50において演算処理し、和をレジスタ42の点1に格納し、差をレジスタ43の点1に格納する。それぞれの処理を1C1, 1D1とする。同様の処理をレジスタ0の点2～7、レジスタ

41の点10～15について行いレジスタ42の点2～7、レジスタ43の点2～7に格納する。それぞれの処理を1C2～1C7, 1D2～1D7とする。

【0011】図7は図6における処理に続く部分を示す。図において42, 43はレジスタであって、図6におけるレジスタ42, 43を示す。44, 45はレジスタでレジスタ42と43の各点のデータをバタフライ回路で演算した結果を格納するものである (SR3A, SR3Bについては後述)。51はバタフライ回路である ($W = e^{j\pi/16}$, $s=0$ もしくは4)。レジスタ42の点0のデータと、レジスタ42の点4のデータに W^s を掛けた値の和と差を取り、和をレジスタ44の点0に格納し、差をレジスタ44の点4に格納する。同様の処理をレジスタ42の点1～3、レジスタ42の点5～6について行い、和をレジスタ44の点1～3、差をレジスタ44の点5～7に格納する。それぞれの和についての処理を2C0～2C3、差についての処理を2D0～2D3とする。

【0012】レジスタ43の各点についての処理では、52はバタフライ回路51において点0～3のデータと、レジスタ43の点4～7のデータには W^s を掛けた値について和と差を取ることにより行い、演算結果の和をレジスタ45の点0～3に格納し、差を点4～7に格納する。各処理において和の処理を2C4～2C7、差の処理を2D4～2D7とする。

【0013】図8は図7の結果に続く処理を表す。44, 45は図7におけるレジスタ44と45を示す。46, 47はレジスタ44と45の格納データをバタフライ回路で演算処理した結果を格納するレジスタである (SR4A, SR4Bについては後述)。52はバタフライ回路である。レジスタ44の点0のデータと、レジスタ44の点2のデータに W^s を掛けた値の和と差をレジスタ46の点0と点2に格納する。同様にレジスタ44の点1のデータと、レジスタ44の点3に W^s を掛けた値をバタフライ回路52において和と差を取りレジスタ46の点1と点3に格納する。それぞれの処理を3C0～3C1, 3D0～3D1とする。

【0014】レジスタ44の点4～点7においては、点6～7に W^s を掛けてバタフライ回路52に置いて同様の処理を行い和および差の演算結果をレジスタ46の点4～7に格納する。それぞれの処理を3C2～3C3, 3D2～3D3とする。レジスタ45の点0～点3の処理においては、点2～3に W^s を掛け、バタフライ回路52に置いて同様の処理を行い和および差の演算結果をレジスタ47の点0～3に格納する。それぞれの処理を3C4～3C5, 3D4～3D5とする。レジスタ45の点4～点7においては、点6～7のデータの値に W^s を掛け、バタフライ回路52に置いて同様の処理を行い和および差の演算結果をレジスタ47の点4～7に格納する。それぞれの処理を3C6～3C7, 3D6～3D7とする。

7とする。

【0015】図9は図8における処理の続きを示す。図において、48、49はレジスタであって、図8におけるレジスタ46と47を示す(SR4A, SR4Bについては後述する)。50, 51はバタフライ回路における演算結果を格納するレジスタである。53はバタフライ回路である。レジスタ48の点0のデータと、点1のデータに W^0 を掛けた値の和と差をバタフライ回路により演算し、結果をそれぞれレジスタ50の点0と点1に格納する。その結果、レジスタ50の点0にはフーリエ変換した結果の $X(n)$ が $n=0$ に対応する結果が得られる。同様に、点1には $n=8$ に対応する結果が得られる。

【0016】レジスタ48, 49の他の点についても、それぞれの処理において定められている図示のsについての W^s を掛け、バタフライ回路53において和および差を取り、レジスタ50に格納する。レジスタ50における各点に各nに対応するフーリエ変換結果 $X(n)$ が得られる。

【0017】図10～図11に、16点基底2FFTバイブラインの装置構成を示す。図10において、801は直列ビットの入力データ、801'はそれぞれ16点の入力データをレジスタSR1AとレジスタSR1Bに振り分けるデマルチブレクサ(DMX)である。802, 803はそれぞれ16点のデータの上位半分と下位半分を格納するレジスタ(SR1A)、804, 805はそれぞれ16点のデータの上位半分と下位半分のデータを格納するレジスタ(SR1B)である。レジスタSR1AとSR1Bにはそれぞれ格納サイクル毎に交互に16個のデータが格納される。

【0018】806はバタフライ回路(BUT1)に入力するデータをレジスタSR1AもしくはSR1Bからのデータに切り換えるスイッチ(SW)である。807, 808はマルチブレクサ(MPX)であって、それぞれバタフライ回路に入力するデータをレジスタSR1AもしくはSR1Bからのデータに切り換えるものである。809はバタフライ回路(BUT1)であって、入力Aのデータと、入力Bに捻り係数 W^0 を掛けたデータについて和と差を取る回路である。810は入力データに乗算する捻り係数である。

【0019】811はバタフライ回路809の差の演算結果を格納するレジスタ(SR2B)である。812は選択するデータを切り換えるための切り換えスイッチ、813, 814は切り換えスイッチのマルチブレクサ(MPX)である。815はMPX813が選択した側のデータを格納するレジスタ(SR2A), 816はバタフライ回路(BUT2)であって、レジスタSR2Aのデータとマルチブレクサ814の選択するデータ(入力B)を入力し、入力Bに捻り係数(W^0 , W^4)を掛け、入力AとBの和と差の演算を行うものである。81

7は入力Bの乗捻係数(W^0 , W^4)を定めるものであって、例えば、バイブラインの処理クロックサイクルにおける4サイクルについては W^0 を掛け、続く4サイクルにおいては W^4 を掛けるように循環するものである。

【0020】図11において、901はレジスタ(SR3B)、902はデータを選択する切り換えスイッチ(SW)、903, 904はデータを選択するマルチブレクサ(MPX)である。905はシフトレジスタ(SR3A)、906は入力Aのデータと、入力Bに捻り係数を掛けたデータについて和と差をとるバタフライ回路である。906'は入力Bの捻り係数(W^0 , W^4 , W^8 , W^6)を定めるものであって、バイブラインのクロックに従って上記の順番に循環するものである。

【0021】907はシフトレジスタ(SR4A)である。908はデータを選択する切り換えスイッチ(SW)、909, 910はデータを選択するマルチブレクサ(MPX)である。911はシフトレジスタ(SR4B)、912は入力Aのデータと、入力Bに捻り係数を掛けた結果について和と差をとるバタフライ回路である。913は入力Bの捻り係数(W^0 , W^4 , W^8 , W^6 , W^2 , W^3 , W^1)を定めるものであって、バイブラインのクロックに従って上記の順番に循環するものである。

【0022】図12と図13により図10と図11の2点基底FFTバイブラインの動作を説明する。図12はバイブラインにおける第1サイクル、図13は第2サイクルを示す。

【0023】図12と図13において、SR1AW, SR2AW, SR3AWはそれぞれレジスタSR1A, SR2A, SR3Aの書き込みを表わす。SR1BW, SR2BW, SR3BWはそれぞれSR1B, SR2B, SR3Bの書き込みを表わす。SR1AR, SR2AR, SR3ARはそれぞれレジスタSR1A, SR2A, SR3Aの読み出しを表わす。SR1BR, SR2BR, SR3BRはそれぞれSR1B, SR2B, SR3Bの読み出しを表わす。

【0024】BUT1out, BUT2out, BUT3outはそれぞれバタフライ回路BUT1, BUT2, BUT3の出力を表わす。第1サイクル(1st)におけるクロックサイクル1～2において、SR1Bは0番目(0点データ)と8番目(8点データ)を読み出す(それぞれ前の処理サイクルにおいてSR1Bに格納されている)。そしてそれぞれのデータをバタフライ回路(BUT1)に入力しクロックサイクル3～4において演算(1C0, 1D0)を行いクロックサイクル4～5において結果をSR2A, SR2Bに格納する。同様の処理をクロックCまで行い、各演算結果をSR2A, SR2Bに各データを格納する。

【0025】第1サイクルにおけるクロックD, Eにおいて、SR2Aに格納された処理1C0におけるデータ

部、22は4並列に並列処理する捻り係数乗算部、23は4並列のデータより16点の最終結果を得るための後段部である。24、25はそれぞれ8点基底2のFFTパイプラインである。26～29は4つの並列に入力されるデータに捻り係数を掛算するもの、30～33は捻り係数を循環的に移動して入力データに順次捻り係数を乗算させるものである。34、35は2個の2点FFTである。36は16点の最終演算結果である。16点FFTを 8×2 に分解すると以下のようになる。

【0038】

【数7】

$$X(n) = \sum_{k=0}^{15} x(k) \times W^{nk}$$

………⑥において (但し、 $n = 0 \sim 7$,
 $k = 0 \sim 1$ の整数, $W = \exp(-2\pi \times j / 16)$)
 $n = 8 \times n_1 + n_2$, $k = 2 \times k_1 + k_2$ (但し、 $n_1 = 0 \sim 1$, $n_2 = 0 \sim 7$, $k_1 = 0 \sim 7$, $k_2 = 0 \sim 1$) とすると、 $X(n) =$

$$X_1(n_2, k_2) = \sum_{k_1=0}^7 x(k_1, k_2) \times W_1^{n_2 \times k_1}$$

………⑦

【数5】 ………⑧

$$X_3(n_2, n_1) = \sum_{k_2=0}^7 X_2(n_2, k_2) \times W_2^{n_1 \times k_2}$$

………⑨

【0039】前段部において、

【数10】の変換処理をし、捻り係数乗算部において、
【数5】の変換処理を行なう。後段部において、

【数11】の変換処理を行なう。

【0040】前段部において、 $[X_1(n_2, 0)]$ は8点基底2FFTパイプライン(0)において得られる。また、 $[X_1(n_2, 1)]$ は8点基底2FFTパイプライン(1)において得られる。【0041】図3に本発明の実施例の前段部の入力処理を示す。図において37は16点の入力データ、37-0, 37-1はそれぞれ8点基底2FFTパイプラインであって、37-0は $k_2 = 0$ の点のデータを入力し、37-1は $k_2 = 1$ の点のデータを入力する。【0042】 $[X_1(n_2, 0)]$ は、前段部における8点基底2FFTパイプライン37-0により、 $(X_1(0, 0), X_1(4, 0))$ の組、 $(X_1(2, 0), X_1(6, 0))$ の組、 $(X_1(1, 0), X_1(5, 0))$ の組、 $(X_1(3, 0), X_1(7, 0))$ の組の順で得られる。【0043】 $[X_1(n_2, 1)]$ は、前段部における8点基底2FFTパイプライン37-1により、 $(X_1(0, 1), X_1(4, 1))$ の組、 $(X_1(2, 1), X_1(6, 1))$ の組、 $(X_1(1, 1), X_1(5, 1))$ の組、 $(X_1(3, 1), X_1(7, 1))$ の組の順で得られる。前段部出力における上記の

* 【数8】

$$\sum_{kj=0}^7 \sum_{ki=0}^7 x(k_i, k_j) \times W^{(8n_1+n_2) \times (2k_1+k_2)}$$

=

【数9】

$$10 \quad \sum_{kj=0}^7 \left[\sum_{ki=0}^7 x(k_i, k_j) \times W_1^{n_2 \times k_1} \right]$$

$$XW_1^{n_2 \times k_1} \times W_2^{n_1 \times k_2}$$

上式において、

【数10】

$$X_1(n_2, k_2) = \sum_{k_1=0}^7 x(k_1, k_2) \times W_1^{n_2 \times k_1}$$

※ 【数11】

$$X_3(n_2, n_1) = \sum_{k_2=0}^7 X_2(n_2, k_2) \times W_2^{n_1 \times k_2}$$

各組のデータを入力することにより、捻り係数乗算部において、上記式⑧が処理できる。

【0044】即ち、4並列に上記出力結果がそのまま入力され、次のような順で出力が得られる。

 $(X_2(0, 0), X_2(4, 0), X_2(0, 1),$ $X_2(4, 1))$ の組 $(X_2(2, 0), X_2(6, 0), X_2(2, 1),$ $X_2(6, 1))$ の組 $(X_2(1, 0), X_2(5, 0), X_2(1, 1),$ $X_2(5, 1))$ の組 $(X_2(3, 0), X_2(7, 0), X_2(3, 1),$ $X_2(7, 1))$ の組

上記の捻り係数乗算部の4並列のデータは後段部に入力され、次の順序で出力され、演算結果を得る。

【0045】即ち、2点FFT回路(a)において、

 $(X_2(0, 0), X_2(0, 1))$ の組、 $(X_2(2, 0), X_2(2, 1))$ の組、 $(X_2(1, 0), X_2(1, 1))$ の組が順に入力され、 $(X_3(0, 0), X_3(0, 1))$ の組、 $(X_3(2, 0), X_3(2, 1))$ の組、 $(X_3(1, 0), X_3(1, 1))$ の組が順に出力さ

れる。

【0046】2点FFT回路(b)において、 $(X_2(4, 0), X_2(4, 1))$ の組、 $(X_2(6, 0), X_2(6, 1))$ の組、 $(X_2(5, 0), X_2(5, 1))$ の組が順に出力さ

(5, 1)], [X2 (7, 0), (7, 1)] の組が順に入力され、[X3 (4, 0), X3 (4, 1)] の組、[X3 (6, 0), X3 (6, 1)] の組、[X3 (5, 0), X3 (5, 1)], [X3 (7, 0), X3 (7, 1)] の組が順に出力される。

[0047]

【発明の効果】本発明によれば、フーリエ変換を行う並列度をFFT点数と必要とする処理速度の関係により柔軟に並列度を定めることが可能になる。そのため、FFT点数Nの大きいフーリエ変換において、並列度として $N^{1/2}$ の程度は必要とはしないが並列度2では対応しきれないようなデータを処理する場合に無駄のない装置構成を設定することが可能になる。

【図面の簡単な説明】

【図1】本発明の基本構成を示す図である。

【図2】本発明の実施例を示す図である。

【図3】本発明の前段部における入力処理を示す。

【図4】従来の多点並列FFTの構成を示す図である。

【図5】バタフライ回路を示す図である。

【図 6】 16 次基底 2 FFT バイブラ

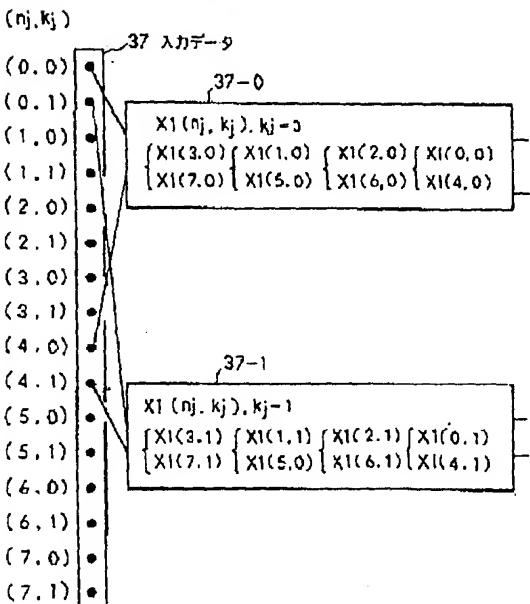
(1) である。

(图71-16)

図2

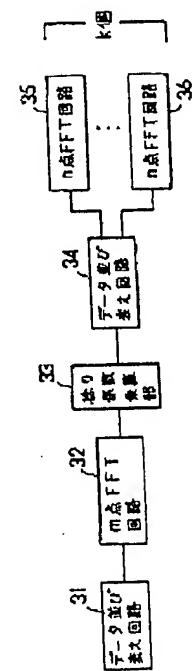
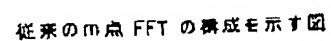
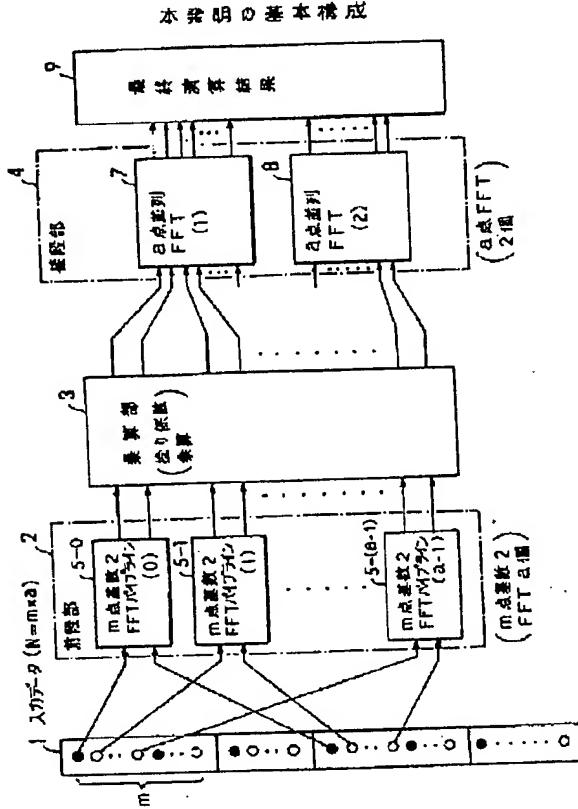
〔图3〕

本発明の前段部における入力処理



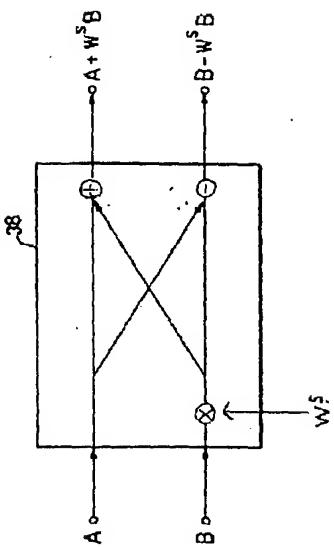
[図 1]

[図4]



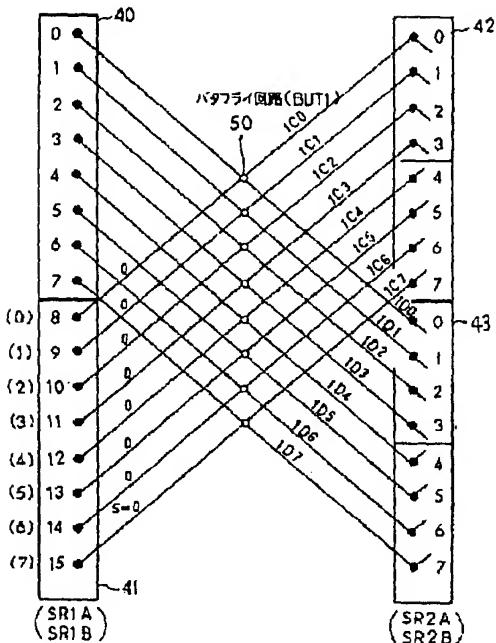
【図5】

バタフライ回路



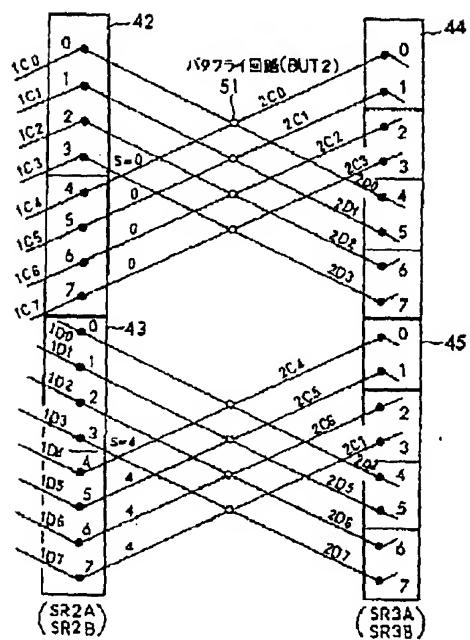
【図6】

16点基底2FFTパイプラインの流れ図 (1)

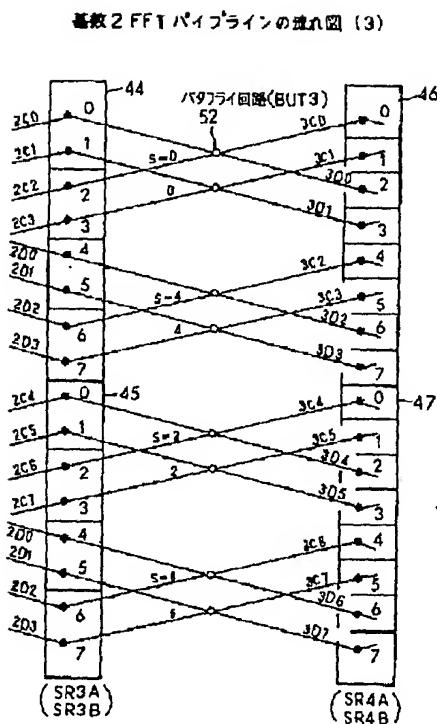


【図7】

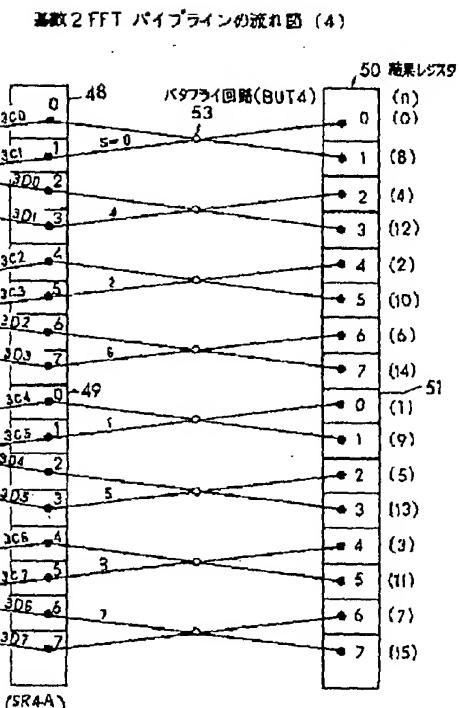
高級2FFTパイプラインの流れ図 (2)



【図8】

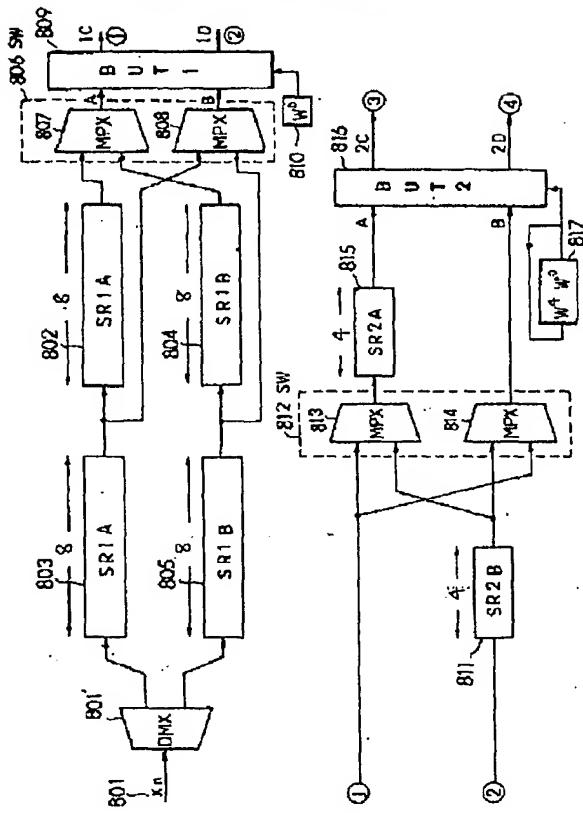


【図9】



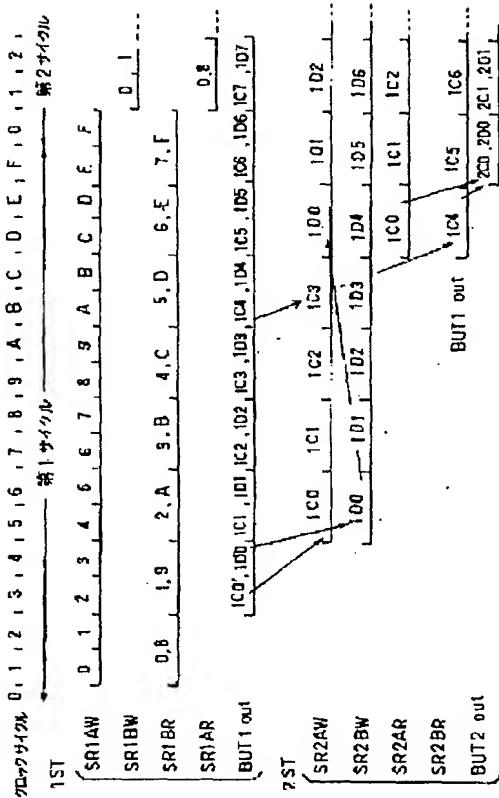
【図10】

基板2 FFTパイプラインの構成 (1)



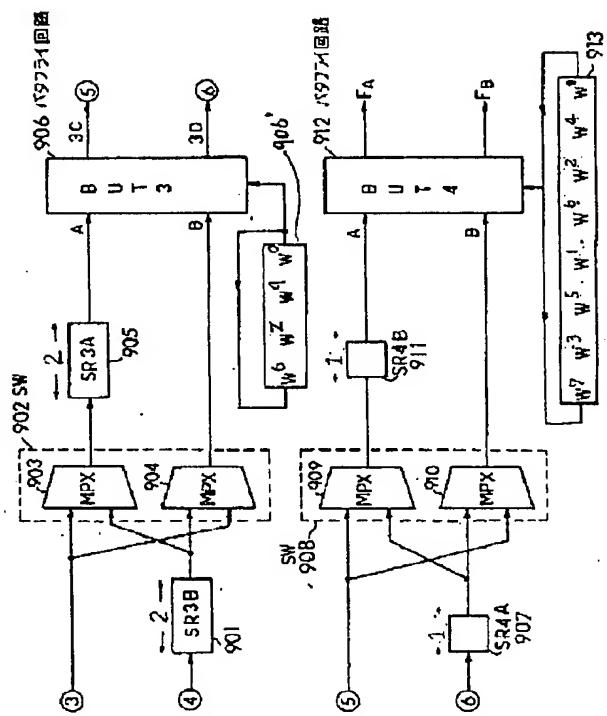
【図12】

基板2 FFTパイプラインの動作説明図 (1)



【図11】

基数2 FFTパイプラインの構成 (2)



【図13】

基板2 FFTパイプライン動作説明図(2)

